ارائه یک ساختار جدید از ترانزیستور دوگیتی با عایق HfO_2 در کانال سیلیسیم-ژرمانیوم (HOSG-DG)

حامد نجفعلی‌زاده[1]، علی اصغر اروجی[2]
[1]دانشکده برق و کامپیوتر دانشگاه سمنان ، najafalizadeh@semnan.ac.ir
[2]دانشکده برق و کامپیوتر دانشگاه سمنان ، aliaorouji@semnan.ac.ir

چکیده – در این مقاله یک ساختار جدید از ترانزیستور دوگیتی به نام ترانزیستور *HOSG-DG* ارائه شده است. در این ساختار با به کاربردن عایق HfO_2 در مرز ناحیه کانال و درین و همین‌طور استفاده از کانال سیلیسیم-ژرمانیوم منجر به بهبود ساختار در مقایسه با ساختارهای متداول دوگیتی (*C-DG*) شده است. ناحیه عایق HfO_2 به طور قابل توجهی میدان الکتریکی را در ناحیه کانال و درین کاهش می دهد. بنابراین فرآیندهای مخرب در ساختار ارائه شده نسبت به ساختار دوگیتی معمولی به دلیل کاهش اثر حامل‌های داغ و همین‌طور کاهش اثر سد پتانسیل بدلیل درین *DIBL* پایین‌تر است. از طرفی برای گرفتن جریان تحریک بالاتر و تحرک پذیری بیشتر ، در ناحیه ی کانال از سیلیسیم-ژرمانیوم استفاده شده است. نتایج شبیه سازی سه بعدی با نرم افزار شبیه ساز *ATLAS* نشان داده شده و بدلیل کوچک بودن طول ناحیه کانال (۲۰ *nm*) از مدل کوانتومی استفاده شده است.

کلید واژه- اثر HCE ، ترانزیستور دوگیتی، عایق HfO_2

۱- مقدمه

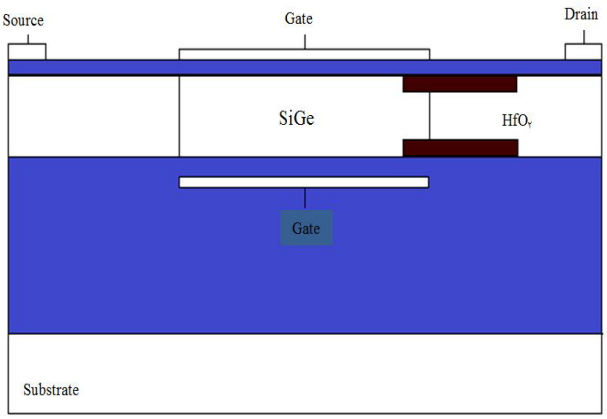
در سال‌های اخیر با پیشرفت تکنولوژی و کوچک شدن روزافزون ترانزیستورها باعث تاثیر منفی روی کارکرد آن‌ها شده است. از جمله این مشکلات می‌توان به جریان تحریک، اثرات کانال کوتاه (SCE) و اثر حامل داغ (HCE) نام برد. در همین راستا تلاش برای افزایش جریان تحریک و کنترل بهتر اثرات کانال کوتاه صورت گرفت. بنابراین در ابتدا پیشرفت تکنولوژی از بدنه سیلیسیم (BULK) به سمت سیلیسیم روی عایق (SOI) پیش رفت، سپس ترانزیستورهای ماسفت از ساختارهای کلاسیک و تک‌گیتی به ساختارهای چندگیتی تکامل پیدا کرد [۱]. استفاده از ساختار دوگیتی باعث کنترل بهتر گیت بر روی ناحیه کانال می‌شود. اثرات کانال کوتاه وقتی بوجود می‌آید که ناحیه کانال که بوسیله گیت کنترل می‌شود توسط خطوط میدان الکتریکی از سورس و درین تحت تاثیر قرار گیرند. از این‌رو بدلیل کنترل بهتر گیت بر کانال، اثرات کانال کوتاه در ترانزیستورهای دوگیتی بسیار کاهش خواهد یافت [۲]. موارد دیگری از جمله اثر حامل داغ، تغییر ولتاژ آستانه و دمای الکترون وجود دارد که باعث تاثیر منفی بر روی افزاره می‌شود.

در نزدیکی درین میدان الکتریکی بسیار زیاد است که حامل‌ها می توانند انرژی لازم را برای وارد شدن به اکسید گیت بدست آورند. بنابراین با گذشت زمان این حامل‌ها عملکرد دستگاه را کاهش می‌دهند. بنابراین برای رسیدن به ساختار مطلوب، لازم است که میدان الکتریکی را در نزدیکی درین کم کرد [۳]. HfO_2 یک عایق با ثابت دی‌الکتریک بالاست (K=۲۲)، بنابراین قراردادن آن در ناحیه فعال و درین باعث کاهش میدان الکتریکی در مرز ناحیه کانال و اکسید می شود [۴]. استفاده از ماده SiGe در ناحیه کانال باعث افزایش جریان تحریک و افزایش تحرک پذیری(Mobility) می‌شود که از سالیان پیش به همین دلیل از این ماده استفاده شده است [۷- ۵].

در این مقاله یک ساختار جدید از ترانزیستوردوگیتی با استفاده از ماده عایق HfO_2 در مرز ناحیه کانال و درین ارائه شده است. این ساختار جدید را ترانزیستور HOSG-DG (HfO_2 on SiGe-DoubleGate) نامگذاری کرده‌ایم. در مقایسه نتایج بین ترانزیستور HOSG-DG و ترانزیستور متداول دوگیتی (C-DG) و مشاهده بهبود و کاهش اثرات مخرب می‌توان به این نتیجه رسید که ترانزیستور ارائه شده جایگزین مناسبی برای ترانزیستور دوگیتی متداول خواهد بود.

۲- ساختار ترانزیستور HOSG-DG و پارامترهای آن

شکل ۱ سطح مقطعی از ساختار ارائه شده را نشان می‌دهد که توسط نرم افزار ATLAS ترسیم شده است.



شکل ۱: تصویر سطح مقطع ترانزیستور HOSG-DG

در این شکل ماده عایق HfO_2 بین نواحی درین و کانال و بطور یکسان برای هر الکترود گیت قرار گرفته است. طول عایق HfO_2 برابر با ۲۰ nm و ضخامت آن ۲ nm می‌باشد.

مقادیر پارامترهای ترانزیستور HOSG-DG در جدول ۱ ذکر شده است. تمامی مقادیر پارامترها در دو افزاره C-DG و HOSG-DG برابر است تنها یک سری از مقادیر مربوط به عایق HfO_2 در افزاره ارائه شده، اضافه شده است. مقادیر پارامترهای به کاربرده شده با توجه به نقشه راه تکنولوژی نیمه هادی انتخاب شده است [۸].

تمامی شبیه سازی‌های دوبعدی از ساختار مورد نظر توسط نرم افزار ATLAS انجام گرفته است [۹]. همچنین به دلیل کوچک بودن افزاره از مدل کوانتومی برای شبیه سازی دقیق استفاده شده است.

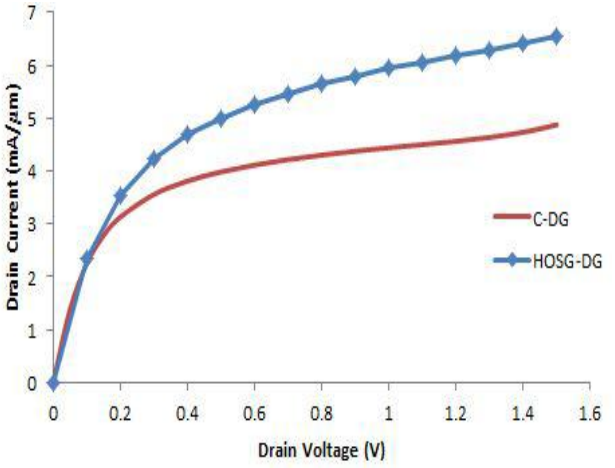
جدول ۱: پارامترهای ترانزیستور HOSG-DG

پارامترها	مقدار
طول کانال	۲۰ نانومتر
ضخامت اکسید گیت	۱ نانومتر
ضخامت اکسید مدفون	۱۰۰ نانومتر
ضخامت ناحیه کانال	۱۰ نانومتر
ضخامت ناحیه عایق HfO_2	۲ نانومتر
طول ناحیه عایق HfO_2 در طرف کانال	۴ نانومتر
طول کلی ناحیه عایق HfO_2	۲۰ نانومتر
میزان تزریق در ناحیه کانال	۳×۱۰^{۱۸} بر سانتی متر مکعب
میزان تزریق در سورس و درین	۱×۱۰^{۲۰} بر سانتی متر مکعب
تابع کار گیت	۴.۷ الکترون ولت

۳- بحث و نتیجه گیری

شکل ۲ نمودار جریان درین یا همان جریان تحریک دو افزاره مورد نظر را برای طول گیت به اندازه ۲۰ nm نشان می‌دهد.

یکی از مهمترین پارامترهای افزاره جریان تحریک است و افزایش جریان تحریک بهبود در عملکرد دستگاه را در پی خواهد داشت. همان طور که در شکل مشاهده می شود ترانزیستور HOSG-DG نسبت به ترانزیستور C-DG جریان تحریک بیشتری را داراست و بهبود در عملکرد دستگاه نمایان است.

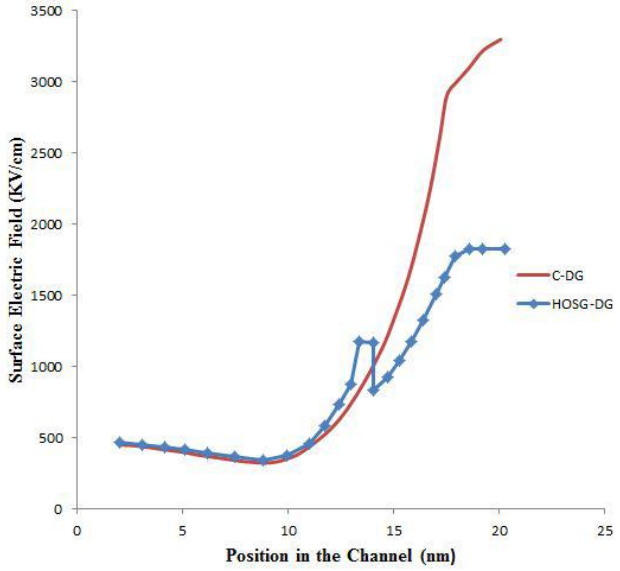


شکل ۲: نمودار جریان درین بر حسب ولتاژ درین برای ترانزیستور C-DG و HOSG-DG در V_{GS}=۰.۷۵ V

جهت تحقیق و بررسی بر روی اثر حامل داغ (HCE) از میدان الکتریکی استفاده شده است [۱۰]. کاهش میدان الکتریکی در نزدیکی مرز درین و کانال، کاهش چگالی حفره در اکسید گیت و همچنین بهبود HCE را در پی خواهد داشت.

درشکل ۳ میدان الکتریکی سطحی برای دو افزاره C-DG و HOSG-DG نمایش داده شده است. همان‌طور که مشاهده می‌شود میدان الکتریکی سطحی در افزاره HOSG-DG درفواصل قبل از محل قرار گیری عایق HfO_2 بیشتر از افزاره C-DG است. اما ثابت دی‌الکتریک بالای عایق HfO_2 باعث کاهش میدان الکتریکی در ادامه شده است (بر طبق معادله (۱)).

$$E_{ox} = \left(\frac{\varepsilon_{SiGe}}{\varepsilon_{ox}}\right) E_{SiGe} \qquad (۱)$$

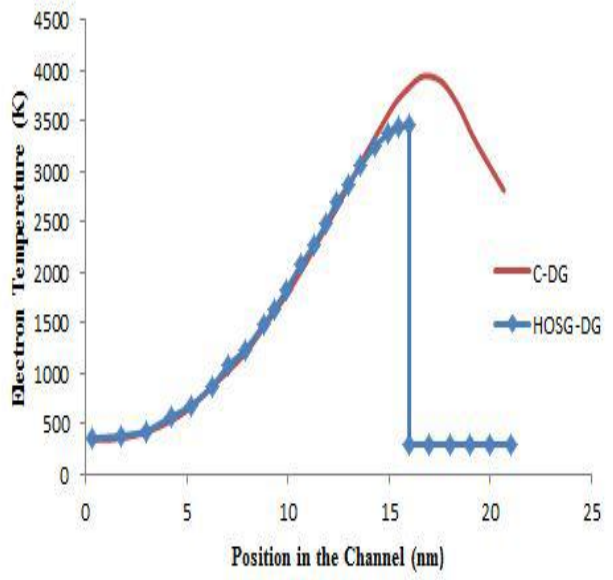


شکل ۳: نمودار میدان الکتریکی سطحی در ناحیه کانال برای ترانزیستور C-DG و HOSG-DG در V_{GS}=۰.۷۵ V و V_{DS}=۱.۵ V

همان‌طور که مشاهده می‌شود در مرز ناحیه کانال و درین میدان الکتریکی سطحی افزاره HOSG-DG بسیار کمتر از افزاره C-DG است. بنابراین می‌توان مشاهده کرد که اثر مخرب HCE در افزاره پیشنهادی به خوبی کنترل شده است.

یکی دیگر از پارامترهای دیگری که باید مورد تحقیق و بررسی قرار گیرد دمای الکترون است. در ترانزیستورهای ماسفت n-Channel میدان الکتریکی باعث شتاب دادن به الکترون‌ها و افزایش سرعت آن‌ها خواهد شد و این امر باعث افزایش دما یا همان انرژی الکترون می‌شود. این دما می‌تواند به چندین هزار درجه سانتیگراد برسد. شایان ذکر است که کاهش دمای الکترون سبب بهبود در عملکرد دستگاه خواهد شد.

شکل ۴ دمای الکترون را در ناحیه کانال برای دو ترانزیستور C-DG و HOSG-DG نشان می‌دهد. همان‌طور که مشخص است دمای الکترون در ترانزیستور HOSG-DG نسبت به افزاره C-DG پایین‌تر است و باعث بهبود کارایی ترانزیستور ارائه شده نسبت به C-DG شده است.



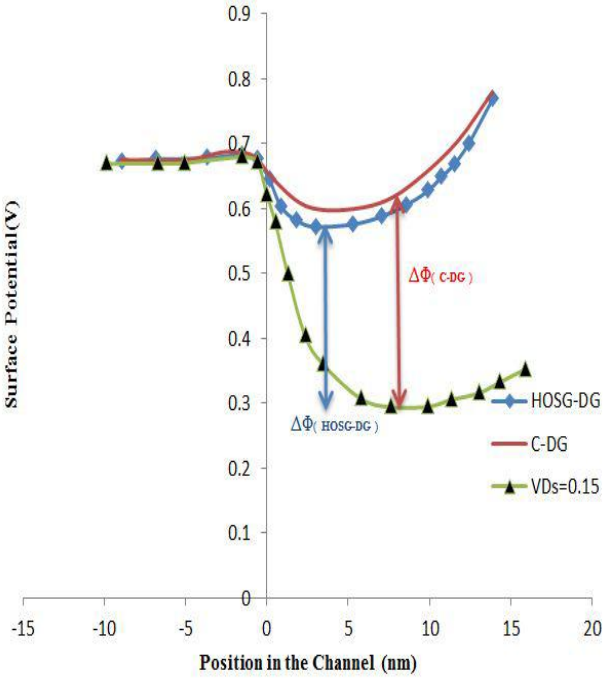
شکل ۴: نمودار دمای الکترون در ناحیه کانال برای دو ترانزیستور C-DG و HOSG-DG در V_{GS}=۰.۷۵ V و V_{DS}=۱.۵ V

یکی دیگر از اثرات مخربی که با کوچک شدن افزاره برای ترانزیستور مشکل ایجاد می‌کند اثر کاهش سد پتانسیل بدلیل درین DIBL است.

با افزایش ولتاژ درین سد پتانسیل کاهش می یابد بنابراین جابه‌جایی حامل‌ها از سورس به درین آسان‌تر صورت می‌گیرد و به ولتاژ کمتری برای جابه‌جایی حامل ها نیاز خواهد بود. از این رو ولتاژ آستانه کاهش خواهد یافت.

تغییر در ولتاژ آستانه یک اثر بسیار مخرب در ترانزیستورهاست. وتا جایی که امکان دارد باید این تغییرات را کاهش داد. بنابراین این برای ما مهم است که کاهش تغییرات را در سد پتانسیل را داشته باشیم زیرا این کاهش در سد پتانسیل باعث تغییر در ولتاژ آستانه می‌شود.

شکل ۵ پتانسیل سطحی را برای هر دو ترانزیستور C-DG و HOSG-DG در دو ولتاژ درین مختلف نشان می‌دهد. هر دو ترانزیستور در V_{DS}=۰.۱۵ V بر روی یکدیگر منطبق شده بنابراین یک نمودار رسم شده و تغییرات هر یک از ترانزیستورها با این نمودار نشان داده شده است.



شکل ۵: نمودار پتانسیل سطحی برای ترانزیستور HOSG-DG و C-DG در دو ولتاژ V_{DS}=۰.۱۵ V و V_{DS}=۱.۵ V

در شکل نمایان است که کاهش ولتاژ درین باعث کاهش پتانسیل سطحی در هر دو ترانزیستور شده است. اما این نیز مشهود است که $\Delta\Phi$(HOSG-DG) کمتر از $\Delta\Phi$(C-DG) می‌شود و DIBL در ترانزیستور ارائه شده کمتر است. بنابراین اثر ولتاژ درین بر روی ولتاژ آستانه در ترانزیستور HOSG-DG کمتر از ترانزیستور C-DG خواهد بود.

۴- نتیجه‌گیری

با ارائه یک ساختار جدید از ترانزیستور دوگیتی به گونه ای که از ماده عایق HfO_2 در مرز ناحیه کانال و درین استفاده شود، می‌توان اثرات مخربی از قبیل اثر حامل داغ (HCE) و کاهش سدپتانسیل بدلیل درین DIBL را در ترانزیستور کاهش داد و بهبود در کارایی افزاره را شاهد بود. این ساختار جدید را ترانزیستور HOSG-DG (HfO_2 on SiGe – DoubleGate) نامگذاری کرده‌ایم. در مقایسه نتایج بین ترانزیستور HOSG-DG و ترانزیستور متداول دوگیتی C-DG و مشاهده بهبود و کاهش اثرات مخرب می‌توان به این نتیجه رسید که ترانزیستور ارائه شده جایگزین مناسبی برای ترانزیستور دوگیتی معمولی یا همان C-DG خواهد بود.

مراجع

[۱] J.P. Colinge, “Multi-gate SOI MOSFETs,” Microelectronic Engineering ۸٤ (۲۰۰۷) ۲۰۷۱-۲۰۷٦.

[۲] Jelan-Michel Sallese, Nicolas Chevillon, Christophe Lallement , “Charge-Based Modeling of Junctionless Double-Gate Field-Effect Transistors.” IEEE TRANSACTIONS ON ELECTRON DEVICES (۲۰۱۱).

[۳] J.P. Colinge, C.A. Colinge, Physics of Semiconductor Devices, Kluwer Academic Publishers, New York, Boston, Dordrecht, London, Moscow, ۲۰۰۵, pp. ۱٦٥–۲٥۰.

[٤] G.Duan, J.Hachtel, R.A.Reed, “Bias Dependence of Total Ionizing Dose Effects in SiGe-Sio_2/HfO_2 PMOS FINFETs.” IEEE TRANSACTION ON NUCLEAR SCIENCE (۲۰۱٤) ۲۸۳٤-۲۸۳۸.

[٥] Z. Cheng, A.J. Pitera, M.L. Lee, J. Jung, J.L. Hoyt, D.A. Antoniadis, E.A. Fitzgerald, Fully depleted strained-SOI n-and p-MOSFETs on bonded SGOI substrates and study of the SiGe/BOX interface, Electron Device Lett. IEEE ۲٥ (۳) (۲۰۰٤) ۱٤۷–۱٤۹.

[٦] G.H. Wang, E.-H. Toh, A. Du, G.-Q. Lo, G. Samudra, Y.-C. Yeo, Strained silicon–germanium-on-insulator n-MOSFET with embedded silicon source-anddrain stressors, Electron Device Lett. IEEE ۲۹ (۱) (۲۰۰۸) ۷۷–۷۹.

[۷] T. Tezuka, N. Sugiyama, S. Takagi, Fabrication of strained Si on an ultrathin SiGe-on-insulator virtual substrate with a high-Ge fraction, Appl. Phys. Lett. ۷۹ (۱۲) (۲۰۰۱) ۱۷۹۸–۱۸۰۰.

[۸] International device simulation software, SILVACO TCAD, ۲۰۱۰.

[۹] International technology roadmap for semiconductor. Available from http://public.itrs.net/

[۱۰] K.P.Pradhan, P.K.Sahu, D.Singh, L.Artola, S.K.Mohapatra, “Reliability analysis of charge plasma based double material gate oxid (DMGO) SiGe-On-Insulator (SGOI) MOSFET” Superlattices and Microstructures ۸٥ (۲۰۱٥) ۱٤۹-۱٥٥