افزایش ولتاژ شکست و کاهش مقاومت حالت روشن ترانزیستور SOI-LDMOS با استفاده از یک لایه فلز در لایه‌ی اکسید مدفون

حجت الله منصوری[۱]، علی اصغر اروجی[۲]
[۱]کارشناس ارشد، دانشکده مهندسی برق و کامپیوتردانشگاه سمنان، h.mansoori_۶۵۶۱@yahoo.com
[۲]استاد، دانشکده مهندسی برق و کامپیوتردانشگاه سمنان، aliaorouji@semnan.ac.ir

چکیده - در این مقاله به‌منظور افزایش کارایی ترانزیستورهای ماسفت با نفوذ دوگانه‌ی افقی، ساختار جدیدی برای ادوات ساخته شده با استفاده از تکنولوژی سیلیسیم روی عایق ارائه شده که در آن یک ناحیه‌ی فلزی در لایه‌ی اکسید مدفون قرار گرفته است. استفاده از لایه‌ی فلز در ساختار پیشنهادی موجب توزیع یکنواخت‌تر میدان الکتریکی در ناحیه‌ی رانشی شده و ولتاژ شکست افزایش می‌یابد. در کنار افزایش ولتاژ شکست، مقاومت حالت روشن افزاره نیز به‌دلیل افزایش غلظت ناخالصی در ناحیه‌ی رانشی کاهش می‌یابد. نتایج شبیه سازی‌های انجام شده برای ساختار پیشنهاد شده بهبود قابل توجهی را در مقاومت حالت روشن و ولتاژ شکست نسبت به ساختار متداول نشان می‌دهد.

کلید واژه- ترانزیستور ماسفت، سیلیسیم روی عایق، لایه‌ی فلز مدفون، مقاومت حالت روشن، ولتاژ شکست.

۱- مقدمه

با توجه به ویژگی‌های ترانزیستور ماسفت با نفوذ دوگانه‌ی افقی[۱] مانند کاهش مراحل ساخت و سادگی مجتمع‌سازی آن با تکنولوژی CMOS، در میان ساختارهای مختلفی که برای بهبود کارایی ترانزیستورهای قدرت پیشنهاد شده است، این ساختار توجه بسیاری را به خود جلب کرده است [۳–۱]. از طرفی، به‌دلیل مزایای قابل توجهی که با استفاده از تکنولوژی سیلیسیم روی عایق[۲] فراهم می‌شود مانند کاهش توان تلفاتی، کاهش جریان نشتی و ایزولاسیون ایده‌آل، این تکنولوژی برای ساخت ادوات قدرت با کارایی بالا بسیار مناسب است [۷–۴].

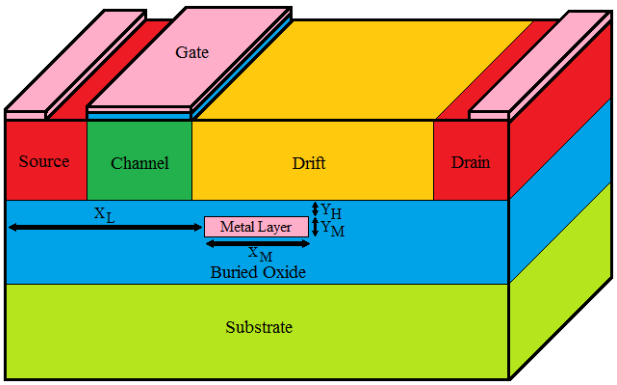
یکی از مشکلات اساسی در ساختار ترانزیستورهای SOI-LDMOSFET دستیابی به ولتاژ شکست‌های (V_{BR}) بالا است [۱۰–۸]. از طرفی با توجه به این که تلفات توان افزاره با افزایش مقاومت حالت روشن افزایش می‌یابد، یکی از مهم‌ترین مواردی که هنگام طراحی یک ترانزیستور قدرت باید مورد توجه قرار گیرد کاهش مقاومت حالت روشن افزاره است [۱۲–۱۱]. اما معمولاً دستیابی به یک مصالحه بین افزایش ولتاژ شکست و کاهش مقاومت حالت روشن بسیار مشکل است و بهبود یکی موجب تخریب دیگری می‌شود [۱۴– ۱۳].

در این مقاله با استفاده از یک ناحیه‌ی فلزی در لایه‌ی اکسید مدفون ساختار جدیدی برای ترانزیستورهای LDMOSFET معرفی می‌شود. ساختار پیشنهادی ترانزیستور LDMOSFET دارای لایه‌ی فلز مدفون[۳] نامیده شده است. تاثیر وجود لایه‌ی فلز مدفون بر مشخصات الکتریکی ساختار پیشنهادی توسط شبیه‌سازی‌های دو بعدی مورد بررسی قرار گرفته و نتایج حاصل با نتایج بدست آمده برای یک ساختار پایه (C-LDMOSFET) مقایسه شده است. نتایج حاصل از شبیه‌سازی‌های انجام شده افزایش قابل توجهی را در ولتاژ شکست برای ساختار پیشنهاد شده نشان می‌دهند. این افزایش در ولتاژ شکست به یکنواختی بیشتر منحنی توزیع میدان الکتریکی نسبت داده می‌شود. همچنین، با توجه به این که چگالی ناخالصی ناحیه‌ی رانشی برای ساختار جدید افزایش یافته است، مقاومت حالت روشن نیز کاهش چشم‌گیری خواهد داشت.

[۱] Lateral Double-Diffused MOSFET (LDMOSFET)
[۲] Silicon-On-Insulator (SOI)
[۳] Buried Metal Layer LDMOSFET (BML-LDMOSFET)

۲- ساختار افزاره

نمای کلی ساختار BML-LDMOSFET در شکل ۱ نشان داده شده است. همان‌طور که در این شکل مشاهده می‌شود، در ساختار پیشنهادی یک لایه‌ی فلز در داخل لایه‌ی اکسید مدفون و در زیر ناحیه‌ی رانشی قرار گرفته است. فاصله‌ی این لایه از لبه‌ی سمت چپ افزاره X_L و فاصله‌ی آن از سطح بالایی لایه‌ی اکسید Y_H نامیده شده است. مقدار X_L برابر ۳ µm و Y_H برابر ۰,۱۲ µm در نظر گرفته شده است. طول کانال ساختار جدید برابر ۲µm، طول ناحیه‌ی رانشی برابر ۱۰µm و چگالی ناخالصی در ناحیه‌ی رانشی آن برابر $۴,۶ \times ۱۰^{۱۶}\ cm^{-۳}$ است. برای مقایسه‌ی مشخصات کاری ترانزیستور پیشنهادی یک ساختار پایه با مشخصات مشابه ساختار BML-LDMOSFET نیز شبیه سازی شده، با این تفاوت که در ساختار پایه ناحیه‌ی فلزی وجود ندارد و چگالی ناخالصی نیز برای این ساختار برابر $۲,۷ \times ۱۰^{۱۶}\ cm^{-۳}$ در نظر گرفته شده که با چگالی ناخالصی ساختار پیشنهادی متفاوت است.

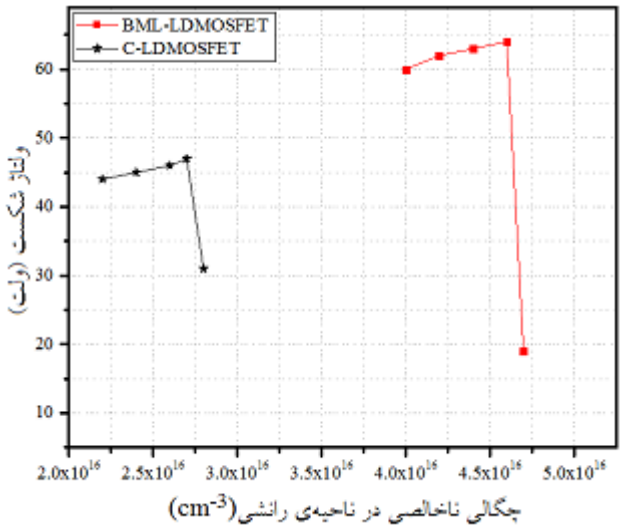


شکل ۱: نمای کلی ساختار BML-LDMOSFET.

۳- بررسی عملکرد ترانزیستور BML-LDMOSFET

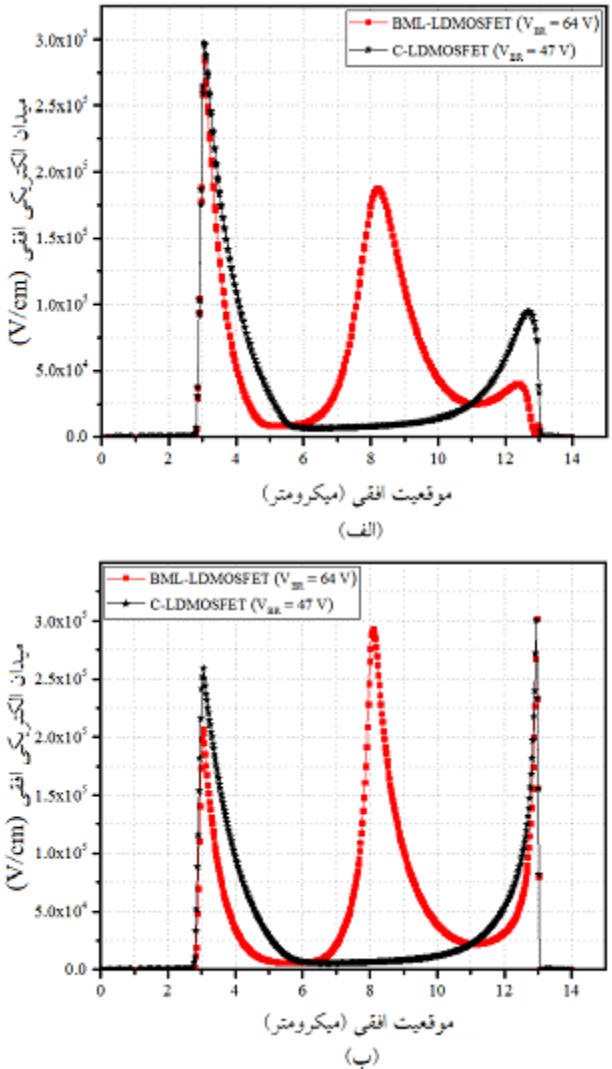
اگر در ساختار متداول ناحیه‌ی رانشی به‌طور کامل تخلیه شده باشد، شکست در سطح پایینی لایه‌ی سیلیسیم در نزدیکی ناحیه‌ی درین اتفاق می‌افتد. اما با افزایش چگالی ناخالصی ناحیه‌ی رانشی بیش از مقداری مشخص که مقدار بهینه نامیده می‌شود، گسترش ناحیه‌ی تخلیه در ناحیه‌ی رانشی کاهش می‌یابد. بنابراین با به کارگیری ولتاژهای کوچک‌تر، شدت میدان الکتریکی در نزدیکی ناحیه‌ی کانال ترانزیستور افزایش یافته و به مقدار بحرانی خود نزدیک می‌گردد که موجب شکست بهمنی در این ناحیه می‌شود.

با استفاده از لایه‌ی فلز مدفون در ساختار پیشنهاد شده یک قله‌ی اضافی در منحنی توزیع میدان الکتریکی ایجاد می‌شود. این قله‌ی اضافی موجب کاهش شدت میدان الکتریکی در نزدیکی گیت و در نتیجه توزیع یکنواخت‌تر میدان الکتریکی در ناحیه‌ی رانشی ترانزیستور می‌شود. با توجه به این که مساحت زیر منحنی توزیع میدان الکتریکی برابر ولتاژ اعمال شده به ساختار است [۱۵]، افزایش ولتاژ شکست در ساختار BML-LDMOSFET به‌ازای مقادیر چگالی ناخالصی ناحیه‌ی رانشی مشابه با ساختار C-LDMOSFET قابل توجه نیست. چرا که با توجه به کاهش قابل توجه قله‌ی میدان الکتریکی در نزدیکی گیت، افزایش چندانی در مساحت زیر منحنی میدان الکتریکی برای ساختار BML-LDMOSFET مشاهده نمی‌شود. اما باید توجه داشت که به دلیل گسترش ناحیه‌ی تخلیه‌ی حاصل از لایه‌ی فلز مدفون و کاهش چشم‌گیر شدت میدان در نزدیکی گیت، با افزایش چگالی ناخالصی از شکست بهمنی در نزدیکی گیت ترانزیستور جلوگیری شده و همچنان شکست در نزدیکی درین رخ می‌دهد. علاوه بر این، با افزایش چگالی ناخالصی در ناحیه‌ی رانشی از رخ دادن شکست بهمنی در ولتاژهای کم، در نزدیکی درین جلوگیری می‌شود و میدان الکتریکی در این ناحیه به‌ازای مقادیر بزرگ‌تری از ولتاژ به مقدار بحرانی خود می‌رسد. در نتیجه دسترسی به حداکثر ولتاژ شکست برای ساختار BML-LDMOSFET با افزایش چگالی ناخالصی ناحیه‌ی رانشی نسبت به ساختار C-LMOS فراهم می‌شود. در شکل ۲ چگونگی تغییرات ولتاژ شکست ساختار BML-LDMOSFET و C-LDMOSFET به‌ازای مقادیر مختلف چگالی ناخالصی ناحیه‌ی رانشی نشان داده شده است.



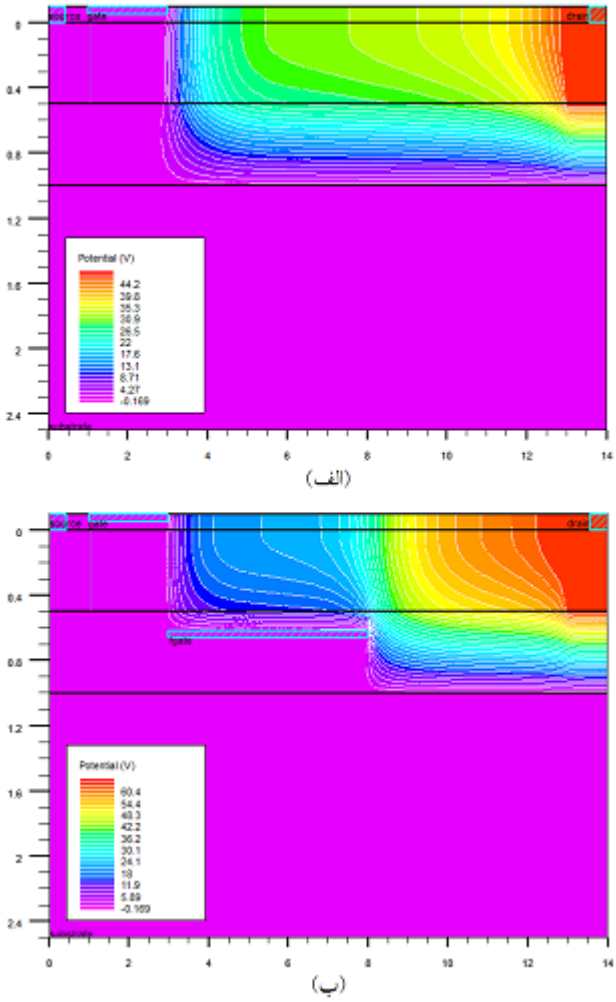
شکل ۲: تغییرات ولتاژ شکست در مقابل مقادیر مختلف چگالی ناخالصی برای ساختارهای C-LDMOSFET و BML-LDMOSFET.

توزیع میدان الکتریکی برای ساختار پیشنهاد شده و ساختار متداول در سطح بالایی و پایینی لایه‌ی سیلیسیمی که بر روی لایه‌ی اکسید قرار گرفته است، برای مقدار بهینه چگالی ناخالصی ناحیه‌ی رانشی هر ساختار ($۴,۶ \times ۱۰^{۱۶}$ $cm^{-۳}$) برای ساختار BML-LDMOSFET و ($۲,۷ \times ۱۰^{۱۶}$ $cm^{-۳}$) برای ساختار C-LDMOSFET) در شکل ۳ نشان داده شده است. در این شکل توزیع یکنواخت‌تر میدان الکتریکی و افزایش قابل توجه مساحت زیر منحنی توزیع و درنتیجه قابلیت دستیابی به ولتاژ شکست بالاتر برای ساختار BML-LDMOSFET به خوبی قابل مشاهده است.



شکل ۳: توزیع میدان الکتریکی برای ساختارهای C-LDMOSFET و BML-LDMOSFET در الف) سطح بالایی و ب) سطح پایینی لایه‌ی سیلیسیم بالایی (در مقدار بهینه‌ی چگالی ناخالصی ناحیه‌ی رانشی برای هر ساختار).

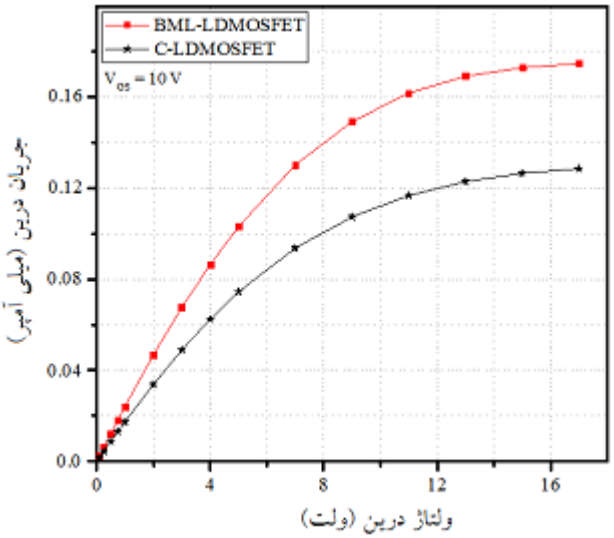
چگونگی توزیع خطوط پتانسیل برای ساختار BML-LDMOSFET و ساختار C-LDMOSFET در شکل ۴ نشان داده شده است. همان‌طور که در این شکل مشاهده می‌شود توزیع خطوط پتانسیل برای ساختار BML-LDMOSFET یکنواخت‌تر است. با توجه به این که چگالی خطوط پتانسیل نشان دهنده شدت میدان الکتریکی است، بنابراین توزیع یکنواخت‌تر خطوط پتانسیل در نزدیکی ناحیه‌ی درین نشان دهنده توزیع یکنواخت‌تر میدان الکتریکی و در نتیجه ولتاژ شکست بالاتر برای ساختار پیشنهاد شده است.



شکل ۴: توزیع خطوط پتانسیل برای ساختارهای الف) C-LDMOSFET و ب) BML-LDMOSFET در ولتاژ شکست هر کدام.

جهت مقایسه‌ی قابلیت جریان‌دهی ترانزیستورها، مشخصه‌ی خروجی ساختارهای BML-LDMOSFET و C-LDMOSFET در شکل ۵ نشان داده شده است. با توجه به این مورد که مقدار بهینه‌ی چگالی ناخالصی ناحیه‌ی رانشی برای ساختار BML-LDMOSFET بیشتر از ساختار C-LDMOSFET است، افزایش قابل توجهی در جریان ساختار پیشنهاد شده مشاهده می‌شود. مقاومت ویژه‌ی حالت روشن برای ساختار پیشنهاد شده با طول لایه‌ی فلز ۵ میکرومتر برابر با ۴,۹ $m\Omega.cm^{۲}$ و برای ساختار

متداول برابر $6,9\ m\Omega.cm^2$ محاسبه شده است. بنابراین، با استفاده از لایه‌ی فلز در ساختار جدید مقاومت حالت روشن بدون کاهش ولتاژ شکست، کاهش قابل توجهی حدود ۲۸٪ دارد.



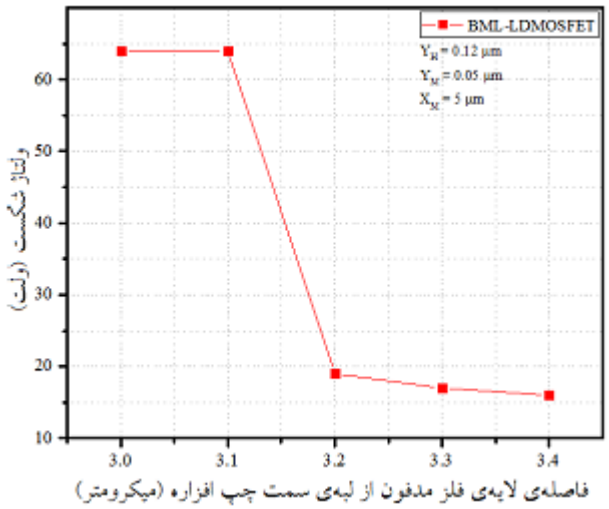
شکل ۵: جریان درین در مقابل ولتاژ درین برای ساختار C-LDMOSFET و ساختار BML-LDMOSFET.

۴- ملاحظات طراحی

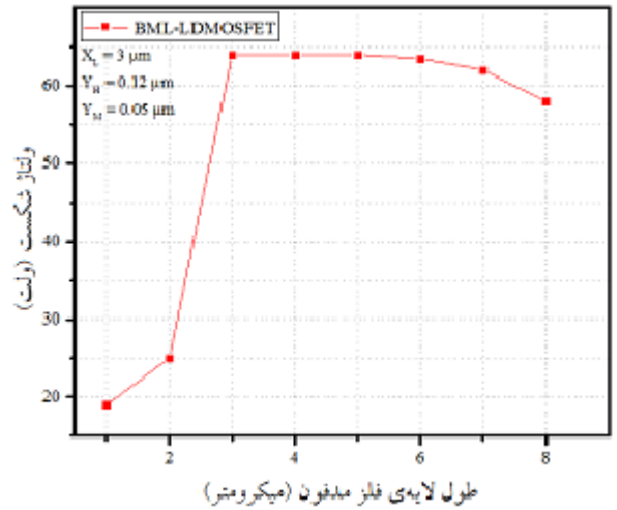
چگونگی توزیع میدان الکتریکی در ناحیه‌ی رانشی ساختار BML-LDMOSFET و به سبب آن ولتاژ شکست افزاره به مشخصات لایه‌ی فلز مدفون وابسته است. بنابراین، به منظور بهینه‌سازی مشخصات لایه‌ی فلز شبیه‌سازی‌های متعددی انجام شده است. در این شبیه‌سازی‌ها هنگام بررسی اثر تغییرات یک پارامتر، پارامترهای دیگر را ثابت در نظر می‌گیریم.

وقتی لایه‌ی فلز مدفون از لبه‌ی گیت دور و به سمت درین نزدیک می‌شود، توانایی آن در کاهش میدان الکتریکی در نزدیکی لبه‌ی گیت کاهش می‌یابد. بنابراین با افزایش فاصله از لبه‌ی سمت چپ افزاره، قله‌ی میدان الکتریکی در نزدیکی کانال افزایش می‌یابد و موجب شکست بهمنی در این ناحیه می‌شود. در شکل ۶ تغییرات ولتاژ شکست ساختار BML-LDMOSFET در مقابل فاصله از لبه‌ی سمت چپ افزاره نشان داده شده است.

وابستگی ولتاژ شکست ساختار BML-LDMOSFET به طول لایه‌ی فلز در شکل ۷ نشان داده شده است. با توجه به تاثیر طول لایه‌ی فلز بر ناحیه‌ی تخلیه تشکیل شده در ناحیه‌ی رانشی، ابتدا با افزایش طول ولتاژ شکست نیز افزایش می‌یابد. علاوه بر این با افزایش طول، قله‌ی جدیدی که در منحنی توزیع میدان الکتریکی ایجاد شده است به مکان بهینه‌ی خود در منحنی توزیع میدان نزدیک می‌شود که به‌ازای آن مساحت زیر منحنی حداکثر خواهد بود. اما وقتی طول لایه‌ی فلز بیش از ۵ میکرومتر افزایش یابد، تجمع میدان الکتریکی در لبه‌ی سمت راست فلز موجب افزایش شدت میدان الکتریکی در سطح پایینی لایه‌ی سیلیسیم در نزدیکی درین ترانزیستور می‌شود. همچنین، در این حالت مساحت زیر منحنی میدان الکتریکی نیز کاهش می‌یابد. بنابراین، با افزایش طول لایه‌ی فلز بیش از ۵ میکرومتر ولتاژ شکست کاهش می‌یابد.



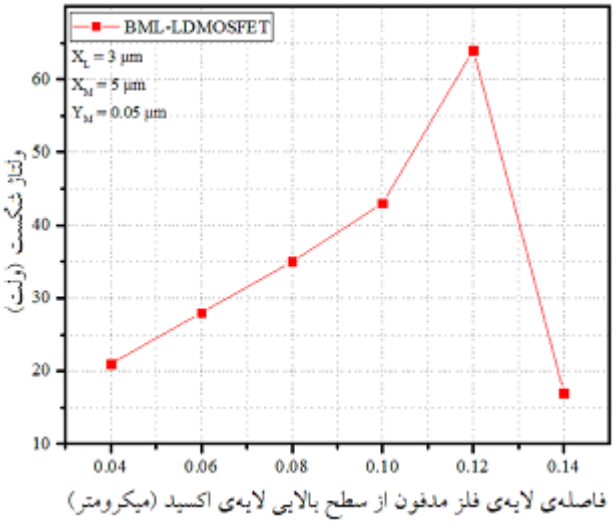
شکل ۶: تغییرات ولتاژ شکست ساختار BML-LDMOSFET به‌ازای تغییر فاصله‌ی لایه‌ی فلز مدفون از لبه‌ی سمت چپ افزاره.



شکل ۷: تغییرات ولتاژ شکست در مقابل تغییرات طول لایه‌ی فلز مدفون.

تغییرات ولتاژ شکست نسبت به تغییرات فاصله‌ی لایه‌ی فلز از سطح بالایی لایه‌ی اکسید مدفون در شکل ۸ نشان داده شده است. با توجه به تاثیر قابل توجه فاصله‌ی لایه‌ی فلز بر چگونگی توزیع میدان الکتریکی و گسترش ناحیه‌ی تخلیه در ناحیه‌ی رانشی، ولتاژ شکست افزاره به‌شدت به این فاصله وابسته است. بنابراین، برای دستیابی به بالاترین ولتاژ شکست تعیین بهترین

فاصله از سطح بالایی لایه‌ی اکسید الزامی است. با دور شدن از سطح اکسید گسترش ناحیه‌ی تخلیه ناشی از لایه‌ی فلز در ناحیه‌ی رانشی و همچنین تاثیر لایه‌ی فلز بر کاهش قله‌ی میدان الکتریکی در نزدیکی لبه‌ی گیت کاهش می‌یابد. از طرفی کاهش فاصله از سطح اکسید موجب افزایش تجمع میدان الکتریکی در نزدیکی ناحیه‌ی درین و در نتیجه افزایش میدان الکتریکی به مقداری بیش از میدان الکتریکی بحرانی می‌شود و شکست بهمنی در ولتاژهای کوچک رخ می‌دهد.



شکل ۸: تغییرات ولتاژ شکست ساختار BML-LDMOSFET در مقابل تغییرات فاصله‌ی لایه‌ی فلز مدفون از سطح بالایی لایه‌ی اکسید.

۵- نتیجه‌گیری

قرار دادن یک لایه‌ی فلز در لایه‌ی اکسید مدفون ساختار جدیدی که برای ترانزیستورهای SOI-LDMOSFET ارائه شده است موجب ایجاد یک قله‌ی جدید در منحنی توزیع میدان الکتریکی می‌شود. وجود این قله‌ی جدید در منحنی توزیع میدان الکتریکی ناحیه‌ی رانشی ساختار پیشنهاد شده، موجب کاهش قله‌ی میدان الکتریکی در نزدیکی لبه‌ی گیت و یکنواخت‌تر شدن منحنی توزیع میدان ساختار BML-LDMOSFET می‌شود. همچنین، با توجه به گسترش ناحیه‌ی تخلیه‌ی حاصل از لایه‌ی فلز در ناحیه‌ی رانشی، چگالی ناخالصی در این ناحیه را می‌توان بیش از مقدار آن برای ساختار C-LDMOSFET افزایش داد. نتیجه‌ی این افزایش چگالی ناخالصی، کاهش قابل توجه مقاومت حالت روشن در کنار افزایش ولتاژ شکست است. بنابراین، با استفاده از این ساختار می‌توان به مصالحه‌ی خوبی بین ولتاژ شکست و مقاومت حالت روشن دست یافت و به ترتیب هر کدام بهبودی در حدود ۳۶٪ و ۲۸٪ دارند.

مراجع

[۱] M. Zitouni, F. Morancho, P. Rossel, H. Tranduc, and J. Buxo, “A new concept for the lateral DMOS transistor for smart power IC’s,” Proceedings., The ۱۱th International Symposium on Power Semiconductor Devices and ICs. ISPSD ’۹۹, pp. ۷۳–۷۶, ۱۹۹۹.

[۲] Y. Hu, Q. Huang, G. Wang, S. Chang, and H. Wang, “A Novel High-Voltage (>۶۰۰ V) LDMOSFET With Buried N-Layer in Partial SOI Technology,” *Electron Devices, IEEE Trans.*, vol. ۵۹, no. ۴, pp. ۱۱۳۱–۱۱۳۶, ۲۰۱۲.

[۳] G. Cao, S. K. Manhas, E. S. Narayanan, M. M. De Souza, and D. Hinchley, “Comparative study of drift region designs in RF LDMOSFETs,” *Electron Devices, IEEE Trans.*, vol. ۵۱, no. ۸, pp. ۱۲۹۶–۱۳۰۳, ۲۰۰۴.

[۴] E. Arnold, “Silicon-on-Insulator Devices for High Voltage and Power IC Applications,” *J. Electrochem. Soc.*, vol. ۱۴۱, no. ۷, pp. ۱۹۸۳–۱۹۸۸, ۱۹۹۴.

[۵] J. G. Fiorenza and J. A. Del Alamo, “Experimental comparison of RF power LDMOSFETs on thin-film SOI and bulk silicon,” *Electron Devices, IEEE Trans.*, vol. ۴۹, no. ۴, pp. ۶۸۷–۶۹۲, ۲۰۰۲.

[۶] X. Luo, B. Zhang, and Z. Li, “A new structure and its analytical model for the electric field and breakdown voltage of SOI high voltage device with variable-k dielectric buried layer,” *Solid. State. Electron.*, vol. ۵۱, no. ۳, pp. ۴۹۳–۴۹۹, ۲۰۰۷.

[۷] C. Xia, X. Cheng, Z. Wang, D. Cao, T. Jia, L. Zheng, Y. Yu, and D. Shen, “A novel partial-SOI LDMOSFET (> ۸۰۰V) with n-type floating buried layer in substrate,” *Microelectron. Reliab.*, vol. ۵۴, no. ۳, pp. ۵۸۲–۵۸۶, ۲۰۱۴.

[۸] I. J. Kim, S. Matsumoto, T. Sakai, and T. Yachi, “Breakdown voltage improvement for thin-film SOI power MOSFET’s by a buried oxide step structure,” *IEEE electron device Lett.*, vol. ۱۵, no. ۵, pp. ۱۴۸–۱۵۰, ۱۹۹۴.

[۹] S. J. Mahabadi, A. A. Orouji, P. Keshavarzi, and H. A. Moghadam, “A new partial SOI-LDMOSFET with a modified buried oxide layer for improving self-heating and breakdown voltage,” *Semicond. Sci. Technol.*, vol. ۲۶, no. ۹, p. ۰۹۵۰۰۵, ۲۰۱۱.

[۱۰] M. Mehrad and A. A. Orouji, “A novel high voltage lateral double diffused metal oxide semiconductor (LDMOS) device with a U-shaped buried oxide feature,” *Mater. Sci. Semicond. Process.*, vol. ۱۶, no. ۶, pp. ۱۹۷۷–۱۹۸۱, ۲۰۱۳.

[۱۱] N. Goyal and R. S. Saxena, “A new LDMOSFET with tunneling junction for improved on-state performance,” *Electron Device Lett. IEEE*, vol. ۳۴, no. ۱, pp. ۹۰–۹۲, ۲۰۱۳.

[۱۲] W. Wu, B. Zhang, X. Luo, and Z. Li, “Low specific on-resistance power MOSFET with a surface improved super-junction layer,” *Superlattices Microstruct.*, vol. ۷۲, pp. ۱–۱۰, ۲۰۱۴.

[۱۳] X. Luo, J. Fan, Y. Wang, T. Lei, M. Qiao, B. Zhang, and F. Udrea, “Ultralow specific on-resistance high-voltage SOI lateral MOSFET,” *Electron Device Lett. IEEE*, vol. ۳۲, no. ۲, pp. ۱۸۵–۱۸۷, ۲۰۱۱.

[۱۴] Z. Wang, B. Zhang, Q. Fu, G. Xie, and Z. Li, “An L-shaped trench SOI-LDMOS with vertical and lateral dielectric field enhancement,” *Electron Device Lett. IEEE*, vol. ۳۳, no. ۵, pp. ۷۰۳–۷۰۵, ۲۰۱۲.

[۱۵] A. A. Orouji, H. A. Mansoori, A. Dideban, and H. Shahnazarisani, “A novel LDMOS structure using P-trench for high performance applications,” *Mater. Sci. Semicond. Process.*, vol. ۳۹, pp. ۶۵۴–۶۵۸, ۲۰۱۵.